

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62007149 A**

(43) Date of publication of application: **14 . 01 . 87**

(51) Int. Cl

H01L 27/10
G11C 11/34

(21) Application number: **60144563**

(22) Date of filing: **03 . 07 . 85**

(71) Applicant: **AGENCY OF IND SCIENCE & TECHNOL**

(72) Inventor: **KATO KOICHI**

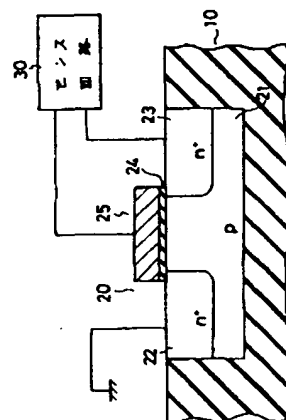
(54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: To provide memory function in an MOS transistor itself by controlling the amplitude and timing of a voltage applied to the gate and drain of an MOS transistor formed on an insulator.

CONSTITUTION: An N-type impurity is doped in a P-type silicon layer 21 formed on an insulator 10 to form source and drain regions 22, 23, a gate electrode 25 is formed through a gate oxide film 24, thereby forming an N-type MOS transistor 20. The layer 21 is formed by single crystallizing the silicon film after polycrystalline or amorphous silicon film is formed on the insulator 10 such as SiO₂ film. The source 22 of the transistor 20 is grounded, and a drain 23 and a gate 25 are connected with a sensing circuit 30. The circuit 30 writes and reads out memory information of the transistor 20 to control the amplitude and timing of the voltage applied to the gate and drain.

COPYRIGHT: (C)1987,JPO&Japio



⑩ 日本国 許庁(JP)

⑪ 特許出願公告

⑫ 特 許 公 報 (B2) 平5-86864

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公告 平成5年(1993)12月14日

H 01 L 27/108

8728-4M

H 01 L 27/10

3 2 5 M

発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置における書き込み、読出し方法

⑯ 特 願 昭60-144563

⑰ 公 開 昭62-7149

⑱ 出 願 昭60(1985)7月3日

⑲ 昭62(1987)1月14日

⑳ 発 明 者 加 藤 弘 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉑ 出 願 人 工 業 技 術 院 長 東京都千代田区霞が関1丁目3番1号

㉒ 審 査 官 後 谷 陽 一

㉓ 参 考 文 献 特開 昭56-144574 (JP, A) 特開 昭55-113364 (JP, A)

特開 昭55-67160 (JP, A)

1

2

㉔ 特許請求の範囲

1 電気的に浮遊している一導電型の半導体層の両端に該半導体層とは逆導電型の不純物層からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁層を介してゲート電極を形成してなるMOSトランジスタにおいて、書き込み時にこのトランジスタにしきい値以上のゲート電圧とインパクトイオン化を生ずる程度のドレイン電圧を印加した後、書き込むべき情報に応じてゲート電圧、ドレイン電圧の順、或はドレイン電圧、ゲート電圧の順に印加電圧を零にして前記半導体層中に多数キャリアの十分に蓄積した状態と過少の状態を書き込み、読出し時にはしきい値以上のゲート電圧とインパクトイオン化を生じない程度のドレイン電圧を印加して上記2種類の書き込み情報を読出すようにしたことを特徴とする半導体装置における書き込み、読出し方法。

2 前記MOSトランジスタを形成する半導体層は、絶縁体上に形成されたものであることを特徴とする特許請求の範囲第1項記載の方法。

発明の詳細な説明

〔発明の技術分野〕

本発明は、半導体記憶装置に係わり、特に絶縁体上の半導体層中に形成されるMOSトランジスタを用いた半導体装置の書き込み、読出し方法に関する。

〔発明の技術的背景とその問題点〕

周知の如く、従来のように半導体層中に形成される素子を微細化してこれを高集積化・高速化するには限界がある。また、ダイナミックメモリの記憶素子は、通常1個のMOSトランジスタと1個のMOSキャパシタとで形成されるが、キャパシタの容量を小さくすることには限界があり、この構造を用いる限りにおいては集積度の向上を望むのは殆ど不可能に近くなっている。

〔発明の目的〕

本発明は上記事情を考慮してなされたもので、その目的とするところは、絶縁体上に形成されるMOSトランジスタを利用して、より小さなダイナミックメモリの素子構造を実現することができ、高集積化及び高速化をはかり得る半導体装置の書き込み、読出し方法を提供することにある。

〔発明の概要〕

本発明の骨子は、1個のMOSトランジスタで1つのメモリ素子を実現することにより、絶縁体上に形成されるMOSトランジスタのゲート及びドレインに印加する電圧の大きさとタイミングとを制御することにより、MOSトランジスタ自体に記憶機能を持たせることにある。

即ち本発明は、情報の書き込み及び読出しを行う半導体記憶装置において、電気的に浮遊している一導電型の半導体層の両端に該半導体層とは逆導

電型の不純物層からなるソース・ドレインを形成し、且つ上記半導体層上に絶縁層を介してゲート電極を形成してなるMOSトランジスタにおいて、書き込み時にこのトランジスタにしきい値以上のゲート電圧とインパクトイオン化を生ずる程度のドレイン電圧を印加した後、書き込むべき情報に応じてゲート電圧、ドレイン電圧の順、或はドレイン電圧、ゲート電圧の順に印加電圧を零にして前記半導体層中に多数キャリアの十分に蓄積した状態と過少の状態を書込み、読出し時にはしきい値以上のゲート電圧とインパクトイオン化を生じない程度のドレイン電圧を印加して上記2種類の書き込み情報を読出すようにしたものである。

〔発明の効果〕

本発明によれば、1個のMOSトランジスタで1個のメモリ素子が実現できるので、従来の構造に比べて素子の占有面積が小さくなる。このため、高集積・高速の半導体記憶装置を実現することができる。また、1個のMOSトランジスタで1個のメモリ素子を実現できるので、その構造が簡単となり、製造の容易化をはかり得る等の利点もある。

〔発明の実施例〕

以下、本発明の詳細を図示の実施例によつて説明する。

第1図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図である。絶縁体10上に形成されたP型シリコン層21にN型不純物をドーピングしてソース・ドレイン領域22、23を形成し、さらにゲート酸化膜24を介してゲート電極25を形成して、チャネル長 $1.2\mu\text{m}$ のN型MOSトランジスタ20が構成されている。ここで、シリコン層21は、例えば SiO_2 膜等の絶縁体10上に多結晶や非晶質のシリコン膜を形成した後、このシリコン膜をビームアニールにより単結晶化して形成される。また、単結晶化したシリコン層の素子形成領域以外を酸化して素子分離用酸化膜が形成されるものとなっている。

上記MOSトランジスタ20のソース22は接地され、ドレイン23及びゲート25はセンス回路30に接続されている。センス回路30は、MOSトランジスタ20の記憶情報の読み及び読出しを行うもので、ゲート及びドレインに印加する電圧の大きさとタイミングとを制御するもの

となつている。

ここで、センス回路30は、情報の書き込み時に印加タイミングに2つのモードを有する。第1のモードは、第2図aに示す如くゲート及びドレインにしきい値電圧程度の電圧(5V)をそれぞれ印加したのち、ゲート電圧Gをゼロにし、その100psec後にドレイン電圧Dをゼロにするモードである。第2のモードは、第2図bに示す如くドレイン電圧Dをゼロにし、その100psec後にゲート電圧Gをゼロにするモードである。また、情報の読出し時には、ドレインにインパクトイオン化の生じない程度の電圧(2.5V)を印加し、ゲートにしきい値程度の電圧を印加する。そして、このとき流れる電流からMOSトランジスタ20に書き込まれた情報を読出すものとなつている。

なお、上記のMOSトランジスタ20は通常の半導体メモリ素子と同様に、マトリックス上に配列し、ゲート及びドレインをそれぞれワード線及びビット線等に接続することにより、記憶回路として機能するものとなつている。

次に、上記構成された本装置の作用について説明する。

まず、MOSトランジスタ20のソース電圧を0Vとし、ゲート及びドレインにそれぞれ5Vの電圧を印加する。このとき、第3図aに示す如くチャネルを形成する電子濃度が高くなり、正孔はシリコン層21の下部に押込まれ、絶対量も減少する。また、ドレイン電圧が高いため、ドレイン近傍でインパクトイオン化により発生した正孔が絶えずソース近傍で再結合する。

そこで、ゲート電圧を0Vにすると、シリコン層21の基板電位が急激に下がり、第3図bに示す如くチャネルを形成していた電子は主としてドレイン方向に激しく流れる。この時、ドレイン側の接合領域で激しいインパクトイオン化が起り、発生した正孔がシリコン層21に蓄積する。ゲート電圧を0Vにした後の100psec後にドレイン電圧を0Vにすると、平衡状態に近い状態が実現される。

これに対して、第3図aの状態によりドレイン電圧を0Vにし、その100psec後にゲート電圧を0Vにすると、第3図cに示す如くチャネルを形成していた電子はソース・ドレインの両方向に流れ出す。しかし、ソース・ドレイン共に0Vであ

るため、電位勾配が小さく、インパクトイオン化は殆ど起こらない。そこで、電子が流れ出してしまったシリコン層は正孔が過少な非平衡状態となる。

以上のように、シリコン層中に正孔を十分蓄積するか、或いは正孔過少の状態にするかの2つの方向を選択することにより、MOSトランジスタ20に記憶素子としての書き込み機能を持たせることができる。

さて、読出し時には、インパクトイオン化が生じない程度のドレイン電圧を印加する。シリコン層21が平衡状態に近い状態(第3図bに示す状態)では、しきい値程度のゲート電圧を印加すると、第4図aに示す如くシリコン層21の正孔量が多く、オーバシュートによりドレイン電流が流れる。これに対し、シリコン層21が非平衡状態(第3図cに示す状態)にある場合は、第4図bに示す如く、同じ電圧を印加しても正孔の量が少ないため、基板電位が低くドレイン電流は殆ど流れない。

以上のようにすれば、シリコン層21内に正孔が十分蓄積しているか否かの2種類の情報を見分けることができることになる。

かくして本実施例によれば、MOSトランジスタ20に記憶素子の機能を持たせることができる。即ち、1個のMOSトランジスタ20から1個のメモリセルを実現することができる。このた

め、従来の1トランジスタ/1キャパシタからなるメモリセルを用いたものに比較して、より高集積化及び高速化をはかり得る。また、素子構造が簡単であるため、容易に構造できる等の利点もある。

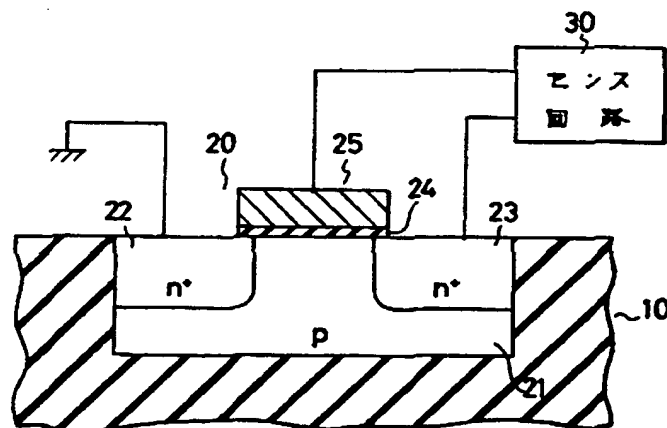
なお、本発明は上述した実施例に限定されるものではない。例えば、前記MOSトランジスタはN型に限るものではなく、P型であつてもよい。さらに、シリコン層はSiO₂等の非晶質絶縁体上に形成されたもの(SOI)ではなく、サファイア等の単結晶絶縁体上に形成された(SOS)層であつてもよい。また、MOSトランジスタのゲート及びドレイン等に印加するバイアス条件等は、使用するMOSトランジスタの特性に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

図面の簡単な説明

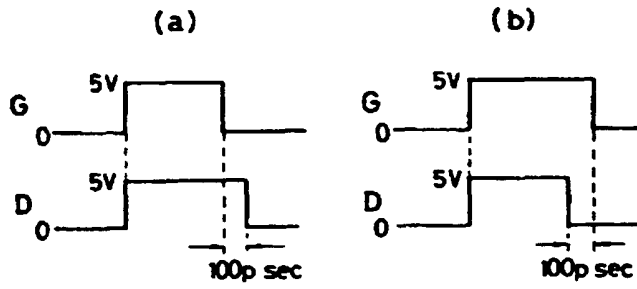
第1図は本発明の一実施例に係わる半導体記憶装置を示す概略構成図、第2図a, bは上記装置に用いたセンス回路の作用を説明するための信号波形図、第3図a~cは書き込み作用を説明するための模式図、第4図a, bは読出し作用を説明するための模式図である。

10……絶縁体、20……NチャネルMOSトランジスタ、21……P型シリコン層、22……ソース、23……ドレイン、24……ゲート酸化膜、25……ゲート電極、30……センス回路。

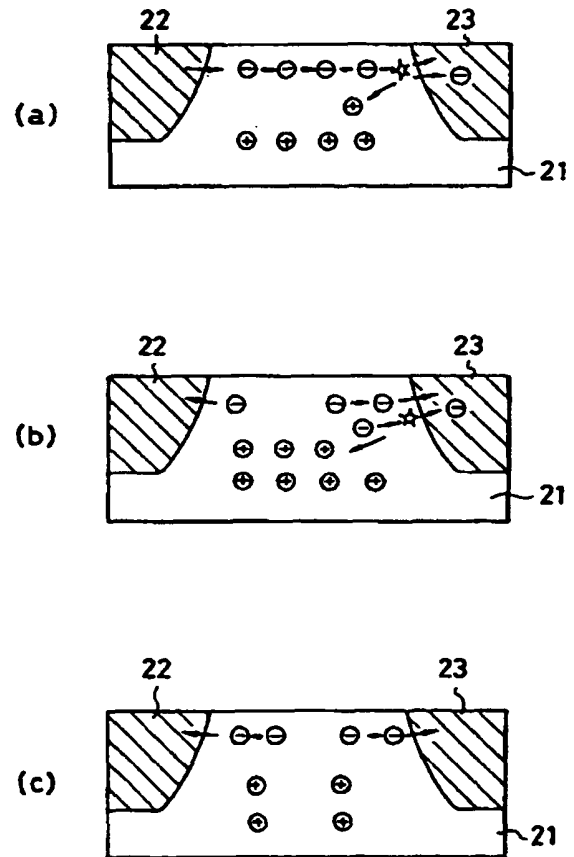
第1図



第2図



第3図



第 4 図

